

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007746865 **Image available**

WPI Acc No: 89-011977/198902

**Silicon film solid phase epitaxial growth - on insulation film to form
silicon on insulator, with specified amorphous silicon film deposition
speed NoAbstract Dwg 2/3**

Patent Assignee: SANYO ELECTRIC CO (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 63288010	A	19881125	JP 87123311	A	19870520		198902 B

Priority Applications (No Type Date): JP 87123311 A 19870520

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 63288010	A		6			

Title Terms: SILICON; FILM; SOLID; PHASE; EPITAXIAL; GROWTH; INSULATE; FILM
; FORM; SILICON; INSULATE; SPECIFIED; AMORPHOUS; SILICON; FILM;
DEPOSIT;

SPEED; NOABSTRACT

Derwent Class: L03; M13; U11

International Patent Class (Additional): H01L-021/20

File Segment: CPI; EPI

02671110 **Image available**

SOLID PHASE EPITAXIAL GROWTH METHOD

PUB. NO.: **63-288010** [JP 63288010 A]

PUBLISHED: November 25, 1988 (19881125)

INVENTOR(s): YONEDA KIYOSHI

 NAKANO ISAO

 NAKANISHI SHIRO

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-123311 [JP 87123311]

FILED: May 20, 1987 (19870520)

INTL CLASS: [4] H01L-021/20; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 731, Vol. 13, No. 117, Pg. 75, March
 22, 1989 (19890322)

ABSTRACT

PURPOSE: To reduce the impurities to be implanted into an amorphous silicon film, and to make a lateral direction solid phase growth distance longer by a method wherein the deposition speed of the amorphous silicon film is set in the range of 150 angstroms /min-210 angstroms /min.

CONSTITUTION: An aperture part 12', to be used to expose the single crystal surface as a seed crystal, is formed by selectively etching an SiO(sub 2) film 12. Ar plasma is generated by applying high frequency waves on a coil 9 from a high frequency wave power source 10, and the surface of a substrate is sputtering-cleaned using Ar plasma. The application of DC bias voltage is stopped, and an amorphous silicon film 13 is deposited by feeding SiH(sub 4) gas from a gas introducing tube 2. The exhaust speed of the gas in a reaction tube 1 coming from an exhaust tube 3 is regulated, and the deposition speed of the amorphous silicon film 13 is brought in the range of 150 angstroms /min-210 angstroms / min. An annealing treatment is conducted in an N(sub 2) atmosphere, and the amorphous silicon film 13 becomes of a single crystal 13' using the surface of a single crystal silicon substrate 11 peeping out from the aperture part 12' as a seed crystal.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-288010

⑤ Int. Cl.⁴H 01 L 21/20
21/324

識別記号

庁内整理番号

7739-5F

④ 公開 昭和63年(1988)11月25日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 固相エピタキシャル成長方法

⑰ 特 願 昭62-123311

⑱ 出 願 昭62(1987)5月20日

⑲ 発 明 者	米 田 清	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	中 野 勇 男	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	中 西 史 朗	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑳ 出 願 人	三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
㉑ 代 理 人	弁理士 西野 卓嗣	外1名	

明 細 書

1. 発明の名称 固相エピタキシャル成長方法

2. 特許請求の範囲

1) 単結晶シリコン基板上に選択的に絶縁膜を形成し、前記単結晶シリコン基板及び絶縁膜上にアモルファスシリコン膜を堆積し、該アモルファスシリコン膜をアニール処理し、単結晶化する固相エピタキシャル成長方法において、

前記アモルファスシリコン膜の堆積速度を150 Å/min以上210 Å/minとすることを特徴とする固相エピタキシャル成長方法。

3. 発明の詳細な説明

イ) 産業上の利用分野

本発明は、SOI構造を形成するための絶縁膜上へのシリコン膜の固相エピタキシャル成長方法に関するものである。

ロ) 従 来 の 技 術

絶縁膜あるいは絶縁基板上に単結晶シリコン膜を形成したものをSOI(Silicon on Insulator)構造と称し、半導体集積回路に

おいて高集積化や高速化が図れるものとして知られている。

SOI構造を形成するためのシリコン膜の成長等のプロセスは、オートドーピングや再拡散等の発生による悪影響を避けるべく、できるだけ低温で行われることが望ましい。そこで本件出願人は特願昭61-108064号において、イオン化した不活性ガスを用いて基板表面をスパッタリングし、スパッタリングした表面にシリコン膜を成長させることで洗浄や成長のプロセスの低温化を実現している。

また、固相エピタキシャル成長法はアモルファスシリコンを堆積し、そのアモルファスシリコンを再結晶化させるもので、比較的低温で成長プロセスが行われるものである。上述の特願昭61-108064号においても固相エピタキシャル成長が適用されるが、結晶方位の基準となる微結晶から順に単結晶化していく際の横方向(基板面と平行な方向)の単結晶化する距離が0.5μm程度と短く、それ以上は多結晶となっていた。

ハ) 発明が解決しようとする問題点

上述の如く、従来の方法では単結晶からの単結晶化する横方向の距離が短かった。このためSOI構造の基台としては小面積のものしか得られなかった。本発明は所様な点に鑑みて為されたもので、より大面積のSOI構造の基台が形成しうる固相エピタキシャル成長方法を提供するものである。

ニ) 問題点を解決するための手段

本発明は、単結晶化させるアモルファスシリコン膜の堆積速度を $150\text{\AA}/\text{min}$ 以上 $210\text{\AA}/\text{min}$ 以下とする固相エピタキシャル成長方法である。

ホ) 作 用

アモルファスシリコン膜の堆積速度を上述の如くすることで、堆積途中への不純物の混入が低減され、横方向の単結晶化する距離が長くなる。

ヘ) 実 施 例

第1図A乃至Dは本発明方法に係る工程説明図で、第2図は本発明に係るCVD装置の概略構成図を示す。

赤外線ランプ(5)により基板(1)を 550°C に加熱昇温し、安定したらその温度を保持したまま、ガス導入管(2)からArガスをAr分圧 100mTorr で $120\text{cc}/\text{min}$ の流量で供給する。コイル(9)へ高周波電源(8)から約 50W の出力で高周波を印加してArプラズマを発生させ、サセプタ(4)に直流バイアス電圧(例えば 300V)を印加して、Arプラズマによる基板表面のスパッタリング洗浄を行う(第1図B)。Arスパッタの時間は40分程度である。

スパッタリング洗浄が終了した時点でサセプタ(4)への直流バイアス電圧の印加を停止し、ガス導入管(2)から $50\text{cc}/\text{min}$ の SiH_4 ガスを供給してアモルファスシリコン膜(3)の堆積を行う(第1図C)。この時の温度は 550°C で、5分間はArプラズマ中で、その後は高周波の印加を止めて減圧CVD法によりアモルファスシリコンを堆積させる。更にこの時、排気管(3)からの反応管(1)内のガスの排気速度を調節してアモルファスシリコン膜(3)の堆積速度が $150\text{\AA}/\text{min}$ から $210\text{\AA}/\text{min}$

第2図において、(1)は石英等から成る反応管、(2)は一端にガス導入管、他端に排気管(3)が設けられている。(4)はカーボンにSiCをコーティングしたサセプタで、反応管(1)外の赤外線ランプ(5)により加熱されるようになっている。また、このサセプタ(4)の温度は熱電対(7)により計測されるとともに、直流電源(8)から電圧印加されるようになっている。(9)は反応管(1)のサセプタ(4)位置より上流側にこの反応管(1)周囲を巻回するように設けられたコイル、(10)はこのコイル(9)に結ばれた高周波電源を示し、 13.56MHz の高周波を発生する。

まず、(100)面を主面とする単結晶シリコン基板(1)を熱酸化して膜厚 750\AA 程度の SiO_2 膜(2)を形成し、この SiO_2 膜(2)を選択的にエッチングして種結晶としての単結晶面を露出させるための開口部(12)を形成する(第1図A)。

次にこの基板(1)を第2図に示すCVD装置のサセプタ(4)上に設置し、排気管(3)から反応管(1)内を真空排気(例えば 10^{-7}Torr 台)する。そして

の範囲内にする。

アモルファスシリコン膜(3)が $1\mu\text{m}$ 程度堆積したら、ガス導入管(2)からの供給ガスを N_2 とし、 N_2 雰囲気下で基板温度を 600°C として4時間アニール処理を行う。このアニール処理により、開口部(12)からのそく単結晶シリコン基板(1)面を種結晶としてアモルファスシリコン膜(3)が単結晶化(13)する(第1図D)。

第3図にアモルファスシリコン膜の堆積速度と、横方向固相成長距離を示す(但し、この距離の測定はライトエッチングによるものである)。第3図から明らかな如く、堆積速度が $180\text{\AA}/\text{min}$ のとき横方向固相成長距離は極大を示し $5\mu\text{m}$ となる。堆積速度が $180\text{\AA}/\text{min}$ よりも小さい(排気速度が大きい)と、反応管内のSi原子の減少によりアモルファスシリコンの堆積確率が低下し不純物の混入確率が高まり、また堆積速度が $180\text{\AA}/\text{min}$ よりも大きい(排気速度が小さい)と、反応管内の不純物濃度の増大、特に O や H_2O が残留していると SiH_4 ガスと反応して

SiO₂が生じるため、結晶として堆積膜中への不純物の混入が増加する。この不純物(残留するO₂やH₂Oまたは反応によるあるいは反応管からのSiO₂、その他C等)はアモルファスシリコン中に存在して、単結晶化を阻み、多結晶としてしまう。

即ち、横方向固相成長距離を長くするには堆積させるアモルファスシリコン膜中への不純物混入を防げば良く、これは堆積速度の制御で為される。SOI構造の基台として必要な面積を得るための横方向固相成長距離を3μmとすれば、第3図から堆積速度は150Å/min以上210Å/min以下となる。

ト)発明の効果

以上の説明から明らかな如く、アモルファスシリコン膜の堆積速度を150Å/min以上210Å/min以下とすることで、アモルファスシリコン膜中への不純物の混入を低減させ、横方向固相成長距離を長くすることができる。

従ってより大きな面積のSOI構造をもつ基台

が提供される。また本実施例によれば、終始低温で処理がされるのでオートドーピング等の発生が抑えられる。

4. 図面の簡単な説明

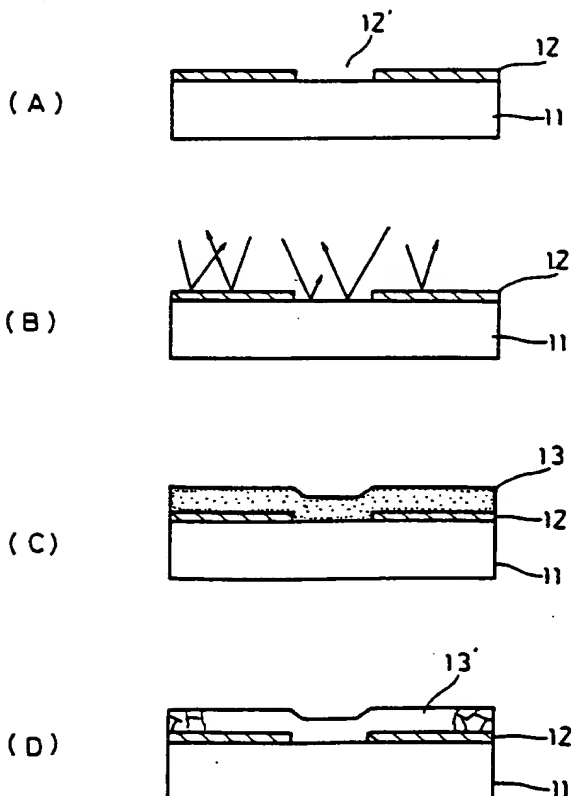
第1図A乃至Dは本発明に係る工程説明図、第2図は本発明に係るCVD装置の概略構成図、第3図は堆積速度と横方向固相成長距離との関係を示す図である。

11…単結晶シリコン基板、12…SiO₂膜(絶縁膜)、12'…開孔部、13…アモルファスシリコン膜

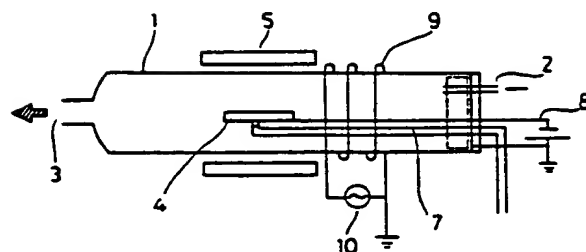
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外1名)

第1図



第2図



第3図

